

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000068463 A**

(43) Date of publication of application: **03.03.00**

(51) Int. Cl.

H01L 27/10
H01L 27/108
H01L 21/8242
// H01L 21/312

(21) Application number: **10236059**

(22) Date of filing: **21.08.98**

(71) Applicant: **OKI ELECTRIC IND CO LTD**

(72) Inventor: **ITO TOSHIO**
YOSHIMARU MASAKI

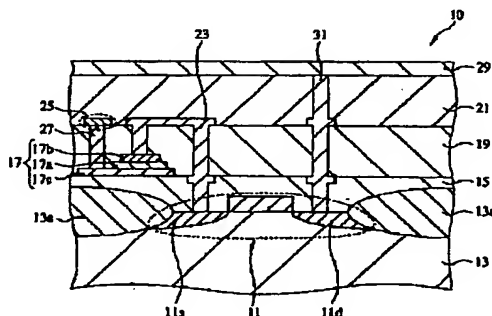
**(54) SEMICONDUCTOR DEVICE AND ITS
MANUFACTURE THEREOF**

(57) Abstract:

PROBLEM TO BE SOLVED: To prevent deterioration of the characteristic of a semiconductor device having a memory cell which uses a ferromagnetic capacitor 17.

SOLUTION: A semiconductor device is provided with a memory cell, using a ferromagnetic capacitor 17 as a storage capacitor and interlayer insulating films 19 and 21 of more than one layer, which are formed on a face containing the capacitor. The interlayer insulating film 19, which is connected directly to the capacitor 17 in the interlayer insulating films 19 and 21, is constituted of an organic insulating film.

COPYRIGHT: (C)2000,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-68463

(P2000-68463A)

(43) 公開日 平成12年3月3日 (2000.3.3)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10	4 5 1 5 F 0 5 8
27/108		21/312	A 5 F 0 8 3
21/8242		27/10	6 5 1
// H 0 1 L 21/312			

審査請求 未請求 請求項の数13 O L (全 14 頁)

(21) 出願番号 特願平10-236059

(22) 出願日 平成10年8月21日 (1998.8.21)

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 伊東 敏雄

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 吉丸 正樹

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74) 代理人 100085419

弁理士 大垣 孝

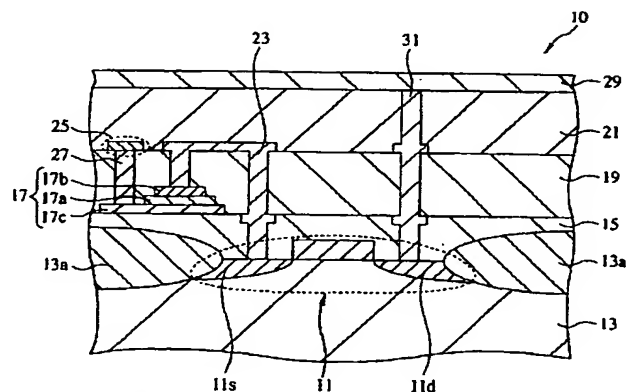
Fターム (参考) 5F058 AA04 AC02 AE04 AF04 AH02
5F083 FR02 JA15 JA38 JA43 PR03
PR04 PR05 PR21 PR39 PR40

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 強誘電体キャパシタ17を用いたメモリセルを有する半導体装置の特性劣化を防止する。

【解決手段】 強誘電体キャパシタ17を記憶用キャパシタとして用いたメモリセルと、このキャパシタを含む面上に形成された1層以上の層間絶縁膜19、21とを具える半導体装置である。層間絶縁膜19、21のうちの、少なくともキャパシタ17に直接接する層間絶縁膜19を、有機絶縁膜で構成する。



- | | |
|------------------|--------------------|
| 10 : 実施の形態の半導体装置 | 11 : MOSトランジスタ |
| 11d : ドレイン | 11s : ソース |
| 13 : 半導体基板 | 13a : 素子間分離用絶縁膜 |
| 15 : 第1層間絶縁膜 | 17 : 強誘電体キャパシタ |
| 17a : 強誘電体膜 | 17b : 上部電極 |
| 17c : 下部電極 | 19 : 第2層間絶縁膜 (保護膜) |
| 21 : 第3層間絶縁膜 | 23, 27, 31 : 金属配線 |
| 25 : プレート線 | 29 : ビット線 |

実施の形態を説明する図

【特許請求の範囲】

【請求項 1】 強誘電体キャパシタを記憶用キャパシタとして用いたメモリセルを具える半導体装置において、前記キャパシタを保護している絶縁膜を、有機絶縁膜で構成したことを特徴とする半導体装置。

【請求項 2】 強誘電体キャパシタを記憶用キャパシタとして用いたメモリセルと、前記キャパシタを含む面上に形成された 1 層以上の層間絶縁膜とを具える半導体装置において、

前記 1 層以上の層間絶縁膜のうちの、少なくとも前記キャパシタに直接接する層間絶縁膜を、有機絶縁膜で構成したことを特徴とする半導体装置。

【請求項 3】 強誘電体キャパシタを記憶用キャパシタとして用いたメモリセルと、パッシベーション膜とを具える半導体装置において、前記パッシベーション膜を、有機絶縁膜で構成したことを特徴とする半導体装置。

【請求項 4】 強誘電体キャパシタを記憶用キャパシタとして用いたメモリセルを有する半導体チップを封止材で封止して成る半導体装置において、前記封止材を、有機絶縁膜で構成したことを特徴とする半導体装置。

【請求項 5】 強誘電体キャパシタを記憶用キャパシタとして用いたメモリセルと、前記キャパシタを含む面上に形成された 1 層以上の層間絶縁膜と、パッシベーション膜とを具える半導体チップを封止材で封止して成る半導体装置において、前記 1 層以上の層間絶縁膜のうちの、少なくとも前記キャパシタに直接接する層間絶縁膜と、前記パッシベーション膜とを、有機絶縁膜でそれぞれ構成したことを特徴とする半導体装置。

【請求項 6】 強誘電体キャパシタを記憶用キャパシタとして用いたメモリセルと、前記キャパシタを含む面上に形成された 1 層以上の層間絶縁膜と、パッシベーション膜とを具える半導体チップを封止材で封止して成る半導体装置において、

前記 1 層以上の層間絶縁膜のうちの、少なくとも前記キャパシタに直接接する層間絶縁膜と、前記封止材とを、有機絶縁膜でそれぞれ構成したことを特徴とする半導体装置。

【請求項 7】 強誘電体キャパシタを記憶用キャパシタとして用いたメモリセルと、前記キャパシタを含む面上に形成された 1 層以上の層間絶縁膜と、パッシベーション膜とを具える半導体チップを封止材で封止して成る半導体装置において、

前記 1 層以上の層間絶縁膜のうちの、少なくとも前記キャパシタに直接接する層間絶縁膜と、前記パッシベーション膜と、前記封止材とを、有機絶縁膜でそれぞれ構成したことを特徴とする半導体装置。

【請求項 8】 請求項 1～7 のいずれか 1 項に記載の半

導体装置において、

前記有機絶縁膜を、ポリイミドの膜、フッ素化ポリイミドの膜、ポリキノリンの膜、テフロン類似の共重合体の膜、および、ベンゾシクロブテンの熱重合体の膜から選ばれた膜で構成したことを特徴とする半導体装置（ただし、該有機絶縁膜は、異なる材料の積層膜の場合があっても良い。また、2 以上の構成成分それぞれを有機絶縁膜で構成する場合、各構成成分の有機絶縁膜が異なる材料で構成される場合があっても良い。）。

10 【請求項 9】 強誘電体キャパシタを記憶用キャパシタとして用いたメモリセルを具える半導体装置を製造するに当たり、

前記強誘電体キャパシタを形成した後、該キャパシタを有機絶縁膜から成る保護膜で覆い、その後、予定の工程を実施することを特徴とする半導体装置の製造方法。

【請求項 10】 強誘電体キャパシタを記憶用キャパシタとして用いたメモリセルと、前記キャパシタを含む面上に形成された 1 層以上の層間絶縁膜とを具える半導体装置を製造するに当たり、

20 前記強誘電体キャパシタを形成した後、該キャパシタに直接接する層間絶縁膜として有機絶縁膜から成る層を形成して該層で該キャパシタを覆い、その後、予定の工程を実施することを特徴とする半導体装置の製造方法。

【請求項 11】 請求項 9 または 10 に記載の半導体装置の製造方法において、

前記有機絶縁膜として、ポリイミドの膜、フッ素化ポリイミドの膜、ポリキノリンの膜、テフロン類似の共重合体の膜、および、ベンゾシクロブテンの熱重合体の膜から選ばれた膜を用いることを特徴とする半導体装置の製造方法（ただし、該有機絶縁膜は、異なる材料の積層膜の場合があっても良い。また、2 以上の構成成分それぞれを有機絶縁膜で構成する場合、各構成成分の有機絶縁膜が異なる材料で構成される場合があっても良い。）。

【請求項 12】 請求項 9 または 10 に記載の半導体装置の製造方法において、

前記有機絶縁膜は、該膜の前駆体を含む溶液を前記キャパシタ形成済みの半導体基板上に塗布し次いで加熱処理して形成することを特徴とする半導体装置の製造方法。

【請求項 13】 請求項 9 または 10 に記載の半導体装置の製造方法において、

40 前記有機絶縁膜を、気相成長法により形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体装置、特に強誘電体キャパシタを記憶用キャパシタとして用いたメモリセルと、前記キャパシタ用の保護膜とを具えた半導体装置、さらには、この様な半導体装置とマイコンなどの他の半導体装置とをワンチップ化したより多機能な半導体装置に関するものである。

【0002】

【従来の技術】強誘電体キャパシタとトランジスタとを含むメモリセルを有した半導体装置（強誘電体メモリ）は、MOS型キャパシタとトランジスタとでメモリセルを構成した半導体メモリに比べ、情報の書き込み・読み出し動作が高速である等の種々の特徴を持つ。

【0003】しかしその反面、強誘電体キャパシタは、該キャパシタ製造後の製造プロセスの影響を受け易く、それに起因する特性変動が生じ易い。例えば、強誘電体キャパシタ上には、一般に、プラズマCVD法で形成されるシリコン酸化膜が層間絶縁膜として形成される。この層間絶縁膜を形成する時、シランの様なCVD用ガスのプラズマ解離により発生する水素や、成膜後の膜中に含まれる水分などが、強誘電体キャパシタの電荷蓄積能を減少させたり、電圧印加時のリーク電流を増大させる等の問題を引き起こす。

【0004】これを防止するために、例えば文献I（エクステンデッド アブストラクツオブ 1996 インターナショナル カンファレンス オン ソリッドステート デバイス アンド マテリアルズ (Extended Abstracts of the 1996 International Conference on Solid State Devices and Materials) p p. 800-802) には、強誘電体キャパシタの層間絶縁膜（保護膜でもある）として、スパッタSiO₂ 膜およびO₃-TEOSによるCVD膜との積層膜を用いる点が、開示されている。スパッタSiO₂ 膜は、物理的なメカニズムで成膜される膜であるため、緻密な膜である。一方、O₃-TEOSによるCVD膜は、オゾンとケイ酸テトラエチルとを原料ガスとして形成される膜であり、スパッタ膜に比べると、成膜時に水分を含み易くまた耐湿性が劣るが、段差被覆性に優れる膜である。O₃-TEOS膜形成時の原料ガスからの水素の影響などを、スパッタSiO₂ 膜で防止し、段差被覆性をTEOS膜で確保するようにして、保護膜としての機能を得ようとしている。

【0005】

【発明が解決しようとする課題】しかしながら、文献Iに開示の技術であっても、O₃-TEOS膜中に含まれる水分の、強誘電体キャパシタへの影響が、避けられず、これを軽減するために、O₃-TEOS膜の成膜時の基板温度を上げて（文献Iの第802頁左欄第3行には450℃と記載されている）、該膜中の水分を減じる必要があるという問題点がある。

【0006】また、O₃-TEOS膜を成膜する時の基板温度を高めたとしても、強誘電体キャパシタの耐圧が10Vから2Vまで低下してしまうため、結局、保護膜を成膜した後に600℃の温度でアニールを行って上記の耐圧を回復させる必要があるという問題点がある（文献Iのアブストラクトの第5～6行、第802頁左欄第7～9行、Fig. 8）。

【0007】保護膜の成膜温度を高くすると、強誘電体

キャパシタが高温のプラズマ中にさらされることになるので、該キャパシタにとって好ましいことではない。また、保護膜を成膜した後に高温アニールをするためには、例えばアニール装置が必要になる、工程数が増えてしまう等の不具合が生じる。

【0008】以上は製造プロセス上の問題であるが、従来の半導体装置の場合、半導体装置完成後であっても、強誘電体キャパシタ以外の他の構成成分からの影響、例えば、層間絶縁膜中の水分の影響や、層間絶縁膜の応力の影響や、パッシベーション膜を透過してくる水分の影響や、当該半導体装置をモールドする封止材中に含まれる水分の影響等によって、強誘電体キャパシタの特性が劣化する恐れがある。

【0009】従って、強誘電体キャパシタを用いたメモリセルを有する半導体装置であって、該キャパシタの特性劣化が生じにくい構造を有した半導体装置の実現が望まれる。また、強誘電体キャパシタを用いたメモリセルを有する半導体装置を製造するに当たり、該キャパシタの製造プロセスに起因する特性劣化を抑制できる製造方法が望まれる。

【0010】

【課題を解決するための手段】そこで、この発明の半導体装置によれば、強誘電体キャパシタを記憶用キャパシタとして用いたメモリセルを具える半導体装置において、前記キャパシタを保護している絶縁膜を、有機絶縁膜で構成したことを特徴とする。

【0011】有機絶縁膜は、強誘電体キャパシタの保護膜として従来から多用されているプラズマCVD法により形成されるシリコン酸化膜（典型的にはシリコン酸化膜からなる層間絶縁膜）と比べると、吸水率が低い、透湿性が低い、応力が小さい等の物性を持つので、強誘電体キャパシタの保護膜として好ましい。

【0012】また、有機絶縁膜は、例えば、その前駆体を含む溶液をキャパシタ形成済みの半導体基板に塗布し、次いで加熱処理することで形成できる。しかも、加熱温度は低くて済む。そのため、この点からも、強誘電体キャパシタにダメージを与えにくい。

【0013】なお、この発明でいう強誘電体を保護している保護膜とは、保護専用の膜の場合、層間絶縁膜と兼用される場合、パッシベーション膜の場合、封止材の場合、および、これらを任意に組み合わせた場合いずれでも良い。具体的には、例えば、次の様な態様が考えられる。

【0014】①：強誘電体キャパシタを記憶用キャパシタとして用いたメモリセルと、前述のキャパシタを含む面上に形成された1層以上の層間絶縁膜とを具える半導体装置において、前述の1層以上の層間絶縁膜のうち、少なくとも前述のキャパシタに直接接する層間絶縁膜を、有機絶縁膜で構成するという態様。もちろん、キャパシタを含む面上に形成された1層以上の層間絶縁膜

全てを、有機絶縁膜で構成する場合が在っても良い（以下、同様）。

【0015】②：強誘電体キャパシタを記憶用キャパシタとして用いたメモリセルと、パッシベーション膜とを具える半導体装置において、前述のパッシベーション膜を、有機絶縁膜で構成するという態様。

【0016】③：強誘電体キャパシタを記憶用キャパシタとして用いたメモリセルを有する半導体チップを封止材で封止して成る半導体装置において、前述の封止材を、有機絶縁膜で構成するという態様。

【0017】④：強誘電体キャパシタを記憶用キャパシタとして用いたメモリセルと、前述のキャパシタを含む面上に形成された1層以上の層間絶縁膜と、パッシベーション膜とを具える半導体チップを封止材で封止して成る半導体装置において、前述の1層以上の層間絶縁膜のうちの、少なくとも前述のキャパシタに直接接する層間絶縁膜と、前述のパッシベーション膜とを、有機絶縁膜でそれぞれ構成するという態様。

【0018】⑤：強誘電体キャパシタを記憶用キャパシタとして用いたメモリセルと、前述のキャパシタを含む面上に形成された1層以上の層間絶縁膜と、パッシベーション膜とを具える半導体チップを封止材で封止して成る半導体装置において、前述の1層以上の層間絶縁膜のうちの、少なくとも前述のキャパシタに直接接する層間絶縁膜と、前述の封止材とを、有機絶縁膜でそれぞれ構成するという態様。

【0019】⑥：強誘電体キャパシタを記憶用キャパシタとして用いたメモリセルと、前述のキャパシタを含む面上に形成された1層以上の層間絶縁膜と、パッシベーション膜とを具える半導体チップを封止材で封止して成る半導体装置において、前述の1層以上の層間絶縁膜のうちの、少なくとも前述のキャパシタに直接接する層間絶縁膜と、前述のパッシベーション膜と、前述の封止材とを、有機絶縁膜でそれぞれ構成するという態様。

【0020】また、この出願の半導体装置の製造方法によれば、強誘電体キャパシタを記憶用キャパシタとして用いたメモリセルを具える半導体装置を製造するに当たり、前記強誘電体キャパシタを形成した後、該キャパシタを有機絶縁膜から成る保護膜で覆い、その後、予定の工程を実施することを特徴とする。具体的には、強誘電体キャパシタを記憶用キャパシタとして用いたメモリセルと、前述のキャパシタを含む面上に形成された1層以上の層間絶縁膜とを具える半導体装置を製造するに当たり、前述の強誘電体キャパシタを形成した後、該キャパシタに直接接する層間絶縁膜として有機絶縁膜から成る層を形成して該層で該キャパシタを覆う。そして、その後、予定の工程を実施する。

【0021】この製造方法の発明によれば、強誘電体キャパシタはそれを形成後、先ず、有機絶縁膜によって覆われる。有機絶縁膜は、強誘電体キャパシタの保護膜と

して従来から多用されているプラズマCVD法により形成されるシリコン酸化膜と比べると、吸水率が低い、透湿性が低い、応力が小さい等の物性を持つ。そのため、強誘電体キャパシタは、保護膜としてより好ましい膜で覆われた状態で、その後の製造工程に投入される。従って、強誘電体キャパシタへの、該キャパシタ形成後の製造プロセスに起因するダメージを、軽減できる。

【0022】なお、この出願の半導体装置およびその製造方法の各発明を実施するに当たり、有機絶縁膜として、ポリイミドの膜、フッ素化ポリイミドの膜、ポリキノリンの膜、テフロン類似の共重合体の膜、および、ベンゾシクロブテンの熱重合体の膜から選ばれた膜を用いるのが好ましい。これら膜は、有機絶縁膜の中でも撥水性に富む。また、例えば O_3 -TEOS膜より耐湿性に優れる。また、耐熱性として少なくとも 300°C は保証される。これらからして、強誘電体キャパシタを保護する膜としてより好ましい。

【0023】また、この出願の半導体装置の製造方法の発明を実施するに当たり、前述の有機絶縁膜は、塗布法または気相成長法で形成するのが良い。塗布法は、有機絶縁膜の前駆体を含む溶液を強誘電体キャパシタ形成済みの基板上に塗布し加熱乾燥するのみで目的の膜が作製できる。そのため、例えば、簡易かつ熱の影響が比較的少ないという利点を持つ。気相成長法は、例えば、半導体装置の製造プロセスとの整合性が図り易いという利点を持つ。

【0024】

【発明の実施の形態】以下、図面を参照してこの出願の半導体装置およびその製造方法の実施の形態について説明する。しかしながら、以下の説明に用いる各図はこれら発明を理解出来る程度に概略的に示してあるにすぎない。また、各図において同様な構成成分については同一の番号を付して示し、重複する説明を省略することもある。

【0025】図1は、この発明の実施の形態の半導体装置10の1つのメモリセルに着目した図である。この半導体装置10の1つのメモリセルは、スイッチング素子としての例えばMOSトランジスタ11と、このMOSトランジスタ11が形成された半導体基板13上に形成された第1層間絶縁膜15と、該層間絶縁膜15上に形成された強誘電体キャパシタ17と、該キャパシタ17を含む面上に形成された第2層間絶縁膜19と、該第2層間絶縁膜19上に形成された第3層間絶縁膜21とを具える。

【0026】強誘電体キャパシタ17は、強誘電体膜17aと、この膜17aを挟んでいる上部電極17bおよび下部電極17cとで構成してある。なお、図1において、13aは素子間分離用の絶縁膜である。

【0027】また、この半導体装置では、MOSトランジスタ11のソース11sと、強誘電体キャパシタ17

の上部電極 17b とを、第 1 および第 2 層間絶縁膜 15、19 に形成した接続孔を通した金属配線 23 によって、接続してある。また、強誘電体キャパシタ 17 の下部電極 17c と、プレート線 25 とを、第 2 層間絶縁膜 19 に形成した接続孔を通した金属配線 27 によって、接続してある。また、MOS トランジスタ 11 のドレイン 11d と、ビット線 29 とを、第 1 ～第 3 層間絶縁膜 15、19、21 に形成した接続孔を通した金属配線 31 によって、接続してある。

【0028】図 1 を用いて説明した半導体装置 10 の場合、強誘電体キャパシタ 17 を形成した後に行われる種々の製造プロセス、この場合は第 2 層間絶縁膜 19 を形成するための工程以降の製造プロセスの影響によって、強誘電体キャパシタ 17 の特性が劣化する恐れがある。また、半導体装置 10 の完成後であっても、強誘電体キャパシタ 17 以外の他の構成成分からの影響、例えば、第 2 層間絶縁膜 19 中の水分の影響や、第 2 およびまたは第 3 層間絶縁膜 19、21 の応力の影響や、パッシベーション膜（図示せず）を透過してくる水分の影響や、この半導体装置 10 をモールドする封止材（図示せず）中に含まれる水分の影響等によって、強誘電体キャパシタ 17 の特性が劣化する恐れがある。

【0029】そこで、これを抑制するために、この図 1 を用いて説明した発明の半導体装置 10 では、強誘電体キャパシタ 17 上に形成された 1 以上の層間絶縁膜（図 1 の例では第 2、第 3 層間絶縁膜 19、21）のうちの、少なくとも強誘電体キャパシタ 17 と直接接する層間絶縁膜（図 1 の例では第 2 の層間絶縁膜 19）を有機絶縁膜で構成するか、パッシベーション膜を有機絶縁膜で構成するか、封止材を有機絶縁膜で構成する。もちろん、層間絶縁膜、パッシベーション膜および封止材のうちの任意の 2 以上の構成成分を、有機絶縁膜で構成する場合があっても良い。

【0030】なお、層間絶縁膜、パッシベーション膜および封止材のうちの任意の 2 以上の構成成分を有機絶縁膜で構成する場合は、少なくとも強誘電体キャパシタ 17 と直接接する層間絶縁膜（図 1 の例の場合は第 2 層間絶縁膜 19）を、有機絶縁膜で構成しておくのが好ましい。

【0031】次に、図 1 を用いて説明した半導体装置 10 の製造方法の実施の形態を説明しながら、この半導体装置 10 の構成についてさらに詳細に説明する。図 2 および図 3 は、その説明のための工程図である。

【0032】強誘電体キャパシタ 17 を形成するまでの工程は、従来公知の LSI 製造工程で良い。

【0033】すなわち、半導体基板 13 に公知の任意の方法で、MOS トランジスタ 11 を形成する。次に、この MOS トランジスタ 11 が形成された半導体基板 13 上に、第 1 層間絶縁膜 15 を形成する。この第 1 層間絶縁膜 15 は、通常の LSI 製造プロセスで使われる、例

えば BPSG (Boro-Phospho Silicate Glass) の膜を半導体基板 13 上にフローした後、これをエッチバック法や化学的機械研磨（以下、CMP という）によって平坦化する方法で、形成できる。

【0034】次に、この第 1 層間絶縁膜 15 の所定位置に、MOS トランジスタ 11 のソース 11s およびドレイン 11d へのコンタクトホールを、フォトリソグラフィとエッチングにより形成する。次に、このコンタクトホール中に、CVD やスパッタリングなどにより、プラグ金属を埋め込み、続いてエッチバック法や CMP 法によってこの金属を平坦化して、金属配線（金属プラグ）23 の一部 23a と、金属配線 31 の一部 31a とを形成する（図 2 (A)）。

【0035】金属配線の一部 23a、31a までの形成が済んだら、次に、第 1 層間絶縁膜 15 上に、先ず絶縁膜 41 を形成する（図 2 (B)）。この絶縁膜 41 は、後に形成する強誘電体キャパシタ 17 の構成成分元素（例えば下部電極 17c や強誘電体膜 17a の構成成分元素）が、MOS トランジスタ 11 側に拡散するのを防止するために形成する。この絶縁膜 41 は、従来も形成されている。

【0036】この絶縁膜 41 としては、例えば CVD によるシリコン酸化膜、または、シリコン窒化膜とこの上に形成したシリコン酸化膜とからなる積層膜を用いることが出来る。

【0037】次いで、この絶縁膜 41 上に、強誘電体キャパシタ 17 の下部電極 17c 形成用金属膜 17cx、強誘電体膜 17ax、上部電極 17b 形成用金属膜 17bx を順次形成する（図 2 (C)）。これら金属膜 17cx、強誘電体膜 17ax および金属膜 17bx の形成方法は、その材料に応じた任意好適な方法で良い。後の実施例に、その一例を示す。

【0038】下部および上部電極 17c、17b は、プレート線 25 や金属配線 23、27、31 を構成する材料にもよるが、白金 Pt、金 Au、イリジウム Ir、ルテニウム Ru、ロジウム Rh、パラジウム Pd などから選ばれる金属、或いは、酸化イリジウム IrO_2 や酸化ルテニウム RuO_2 の様な導電性金属酸化物で、構成することができる。さらに、必要に応じて上記の金属とチタン Ti または窒化チタン TiN との積層膜で構成することができる。また、必要であれば、タンタル Ta、タングステン W、モリブデン Mo などから選ばれた金属の珪化物または窒化物または珪窒化物を、金属配線 23 と上部電極 17b との間や、金属配線 27 と下部電極 17c との間に、バリアメタルとして設けても良い。

【0039】強誘電体膜 17a は、特に限定されるものではなく、例えば、チタン酸ジルコン酸鉛 ($\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 。いわゆる PZT) の膜またはタンタル酸ストロンチウムビスマス ($\text{SrBi}_2\text{Ta}_2\text{O}_9$ 。いわゆる SBT) の膜等、任意の材料で構成できる。

【0040】上部電極形成用の金属膜17bx、強誘電体膜17ax、下部電極用の金属膜17cxを、目的の形状にパターンニングすることで、強誘電体キャパシタ17が得られる(図2(D))。

【0041】このパターンニングの際の加工方法として、例えば、反応性イオンエッチング法や、イオンミリング法を用いることができる。また、パターンとして比較的大きなパターンを形成する場合は、その加工方法として、ウェットエッチング法を用いることもできる。

【0042】強誘電体キャパシタ17を形成した後、絶縁膜41上に、有機絶縁膜からなる第2層間絶縁膜19を形成する(図3(A))。

【0043】ただし、この発明の半導体装置で用いる有機絶縁膜は、その後の工程での熱処理を考慮して、200℃程度以上、好ましくは300℃程度以上の耐熱性を有するのが望ましい。ここでいう、耐熱性とは、後工程の熱処理条件下で該有機絶縁膜自身が著しい熱分解を起こさない性質をいう。また、この有機絶縁膜は当然耐湿性の高いものが良い。

【0044】このような耐熱性と耐湿性とを有する有機絶縁膜として、絶縁膜となるポリマー材料の溶液を調整し、この溶液を試料上に塗布し、乾燥させて得られる膜と、目的の絶縁膜のモノマー或いは原料ガスを用いて気相成長法により得られる膜とがある。

【0045】有機絶縁膜を塗布法により形成する場合、プラズマを用いる必要が無く、かつ、塗布液を試料上に塗布した後に乾燥すれば良いため、成膜工程において水素や水分を発生することが無い。従って、成膜が容易かつ強誘電体に対してダメージをほとんど与えないという、利点が得られる。

【0046】このように、塗布法により形成可能な有機絶縁膜の材料として、例えば、本出願の出願人に係る、特開平10-074750、特開平10-074751に開示されている芳香族ポリエーテルを挙げることができる。これらの公開公報に開示されている材料は、骨格にフッ素原子を含み、耐湿性が O_3 -TEOS膜よりも優れており、耐熱性も400℃以上ある。

【0047】また、塗布法により形成可能でかつ本発明で利用可能な有機絶縁膜の他の材料として、上記公開公報に開示されている以外の芳香族ポリエーテル(例えば、アライドシグナル社のFLARE)を用いても良い。また、ポリイミド、またはフッ素化ポリイミド、またはポリキノリン、またはテフロン類似の共重合体(例えばデュボン社製のAF2400)を用いても良い。さらには、ベンゾシクロブテンの熱重合膜(例えば、ダウケミカル社製のサイクロテン)を用いても良い。

【0048】一方、気相成長法により形成できる有機絶縁膜も、シランの様な還元性ガスを用いずに形成でき、かつ、耐湿性も一般的に O_3 -TEOS膜よりも高いので、この発明でいう有機絶縁膜として利用するこ

とができる。

【0049】このように気相成長法により形成可能な有機絶縁膜として、例えば、 C_4H_8 の様なフロンガスを用い、基板温度400℃以下のプラズマCVDにより形成されるテフロン様の a-C:F がある。また、キシリレンやフッ素化キシリレンの二量体の熱分解によって得られるモノマーを原料ガスとするCVD法で得られる、ポリキシリレン(バリレン-N)や、フッ素化ポリキシリレン(バリレン-F)からなる有機絶縁膜を用いることもできる。また、ポリナフタレンであって、その前駆体の350℃程度の熱CVD法により得られるポリナフタレンも、この発明でいう有機絶縁膜として用いることができる。

【0050】これら塗布法、CVD法いずれの有機絶縁膜も、強誘電体キャパシタ17を形成し終えた試料上に直接形成するのが簡便である。また、そうした方が、強誘電体キャパシタを有機絶縁膜で保護するという趣旨にかなっている。しかし、図4に示した様に、強誘電体キャパシタ17を形成し終えた試料上に、密着性向上などを図るために、ライナー層43を設け、このライナー層上に有機絶縁膜からなる第2層間絶縁膜19を形成する場合があっても良い。ライナー層43としては、例えばスパッタ SiO_2 膜を用いることができる。

【0051】このようにして、強誘電体キャパシタ17を、有機絶縁膜である第2層間絶縁膜19で覆った後、予定の工程を順次実施する。

【0052】すなわち、まず、この第2層間絶縁膜19の所定位置に、フォトリソグラフィおよびエッチングにより、スルーホールを形成する。次に、このスルーホールに配線金属27、配線金属23の残りの部分、配線金属31の一部分31bそれぞれを埋め込み、そして、この第2層間絶縁膜19上にプレート線25を形成する(図3(B))。

【0053】有機絶縁膜からなる第2層間絶縁膜19にスルーホールを形成する方法として、以下の方法を用いるのが好適である。これを図5を参照して説明する。

【0054】有機絶縁膜からなる第2層間絶縁膜19まで形成し終えた試料の、第2層間絶縁膜19上に、スルーホール形成時のエッチングマスク51を形成する(図5(A))。このエッチングマスク51は、有機絶縁膜との選択比を考慮して、無機材料の膜、例えば SiO_2 膜で構成する。

【0055】次に、この試料を酸素を主体とするエッチングガスを用いた反応性イオンエッチングにより、エッチングする。このエッチングでは、有機絶縁膜からなる第2層間絶縁膜19の、エッチングマスク51で覆われていない部分が、エッチングされるので、第2層間絶縁膜19にスルーホール53が形成される(図5

(B))。なお、エッチングマスク51は、次工程以降残存していても良いし、このスルーホール形成後に除去

しても良い(図5(C))。エッチングマスク51を除去する場合、例えばウエットエッチングにより除去することができる。

【0056】プレート線25等の形成が済んだ第2層間絶縁膜19上に、次に、第3層間絶縁膜21を形成する(図3(C))。この第3層間絶縁膜21は、第2層間絶縁膜19と同様に有機絶縁膜で構成される場合があっても良い。その場合は、第2層間絶縁膜19を形成する際に説明した材料および方法により形成すれば良い。また、この第3層間絶縁膜21を無機の絶縁膜で構成しても良い。例えばCVD法により形成したシリコン酸化膜で第3層間絶縁膜21を構成しても良い。

【0057】形成した第3層間絶縁膜21の所定位置に、フォトリソグラフィおよびエッチングにより、スルーホールを形成する。次に、このスルーホールに配線金属31の残りの部分を埋め込み、次に、この第3層間絶縁膜21上にビット線29を公知の技術で形成する(図1参照)。

【0058】ビット線29の形成が済んだ第3層間絶縁膜21上に、一般には、パッシベーション膜(図示せず)を形成する。さらに、ワイヤーボンディング用のパッド等を露出させるための開口をこのパッシベーション膜に形成する(図示せず)。そして、ウエハをダイシングすることで、半導体チップ(図示せず)が得られる。

【0059】この半導体チップを例えばリードフレームと接続した後(図示せず)、封止材(図示せず)で封止して製品としての半導体装置が得られる。もちろん、半導体チップの実装構造は、上記の例に限られない。パッケージ構造によって、リードフレームを用いない構造など、任意の実装構造とすることができる。

【0060】

【実施例】以下、実施例によりこの出願の各発明をさらに詳細に説明する。なお、以下の説明で述べる使用材料、成膜方法、また、膜厚、温度等の数値的条件はこの発明の範囲内の一例にすぎない。従って、この出願の各発明は以下の実施例に何ら限定されるものではない。

【0061】1. 第1の実施例

第1の実施例として、図1に示した半導体装置の第2の層間絶縁膜19を有機絶縁膜で構成した半導体装置と、その特性とについて説明する。すなわち、強誘電体キャパシタ17上に形成される層間絶縁膜のうちの、該キャパシタ17に直接接している層間絶縁膜を有機絶縁膜で構成した半導体装置と、その特性とについて説明する。

【0062】図6は、この第1の実施例の半導体装置60の1つのメモリセルに着目した断面図である。

【0063】この第1の実施例の半導体装置60は、図1～図3を用いて説明した半導体装置の各構成成分の材質や数値的条件などを、以下に説明する様なものとした装置である。

【0064】半導体基板13として、シリコン基板を用

いる。MOSトランジスタ11は、公知の方法で形成するFETで構成する。第1層間絶縁膜15は、BPSG膜で構成する。また、この第1層間絶縁膜15に設けるコンタクトホールに埋め込む配線金属は、タングステンとする。このタングステンから成る配線金属上に、バリアメタルとしてTiN膜を設ける。

【0065】また、強誘電体キャパシタ17の構成成分がMOSトランジスタに拡散するのを防止するための絶縁膜41は、シリコン窒化膜およびその上に形成されたシリコン酸化膜からなる積層膜とする。

【0066】また、強誘電体キャパシタ17の下部電極17cは、膜厚50nm程度のチタンとその上に形成した膜厚150nm程度の白金とからなる、Pt/Ti積層膜で構成する。強誘電体膜17aは、膜厚200nm程度のSBT膜で構成する。上部電極17bは、膜厚150nm程度の白金膜で構成する。

【0067】これら下部電極17cおよび上部電極17bの各金属膜は、スパッタ法で形成する。強誘電体膜17aは、ゾルゲル法またはスパッタ法で形成する。また、下部電極17c上に、強誘電体膜17aを、下部電極17cの面積より小さい面積で形成する。この強誘電体膜17a上に、上部電極17bを、強誘電体膜17aの面積より小さい面積で形成する。もちろん、下部電極17c、強誘電体膜17aおよび上部電極17bそれぞれの面積が同じ場合があっても良い。

【0068】また、第2層間絶縁膜19は、有機絶縁膜で構成する。この第1の実施例の場合、この第2層間絶縁膜19を、この出願の出願人に係る特開平10-74751に開示されている有機絶縁膜材料(芳香族ポリエーテル)を用いて形成した膜で構成する(詳細は後述する)。この第2層間絶縁膜19の厚さは、500～1500nm、好ましくは600～1200nm、より好ましくは800～1000nmとする。

【0069】また、この第2層間絶縁膜19に設けるスルーホールに埋め込む配線金属および、この第2層間絶縁膜19上に設けるプレート線25それぞれは、アルミニウム合金配線で構成する。

【0070】また、第3層間絶縁膜21は、酸素とTEOSとを原料ガスとするCVDにより形成するシリコン酸化膜で構成する。この第3層間絶縁膜21に設けるスルーホールに埋め込む配線金属およびこの第3層間絶縁膜21上に設けるビット線29それぞれを、アルミニウム合金配線で構成する。

【0071】この第1の実施例では、ビット線29までの形成が済んだ構造体について後に説明するような特性測定を実施するので、パッシベーション膜の形成や封止材による封止は、行わない。

【0072】この第1の実施例の半導体装置60の製造手順を簡単に説明すると、以下の通りである。

【0073】シリコン基板13に、公知の方法で、MO

Sトランジスタ11および第1層間絶縁膜15を形成する。次に、公知の方法で、第1層間絶縁膜15にコンタクトホールを形成し、さらに、このコンタクトホールにタングステン配線を埋め込む。

【0074】次に、この第1層間絶縁膜15上に絶縁膜41を形成し、次に、この絶縁膜41上に、下部電極形成用金属膜(Pt/Ti膜)、強誘電体膜(SBT膜)および上部電極形成用金属膜(Pt膜)を、先に説明したような成膜方法で順に形成する。次に、上部電極形成用金属膜、強誘電体膜、下部電極用金属膜を、フォトリソグラフィと、塩素およびアルゴンをを用いたドライエッチングとにより、順々にパターニングする。そして、強誘電体膜の特性回復のため600~800℃程度のアニールを、酸素雰囲気中で30分程度行う。こうして、強誘電体キャパシタ17を得る。

【0075】なお、このアニールを終えた段階で、強誘電体キャパシタ17の上部電極17bおよび下部電極17c間に印加する電圧を種々に変えて、印加電圧に対する強誘電体キャパシタの分極値のヒステリシス曲線を求める。そして、このヒステリシス曲線から得られる2Pr(残留分極量の2倍)の値を求める。この2Prは16μC/cm²であった。アニール後の2Prを求めた理由は、後に行う評価テストの参照データとして利用したいからである。

【0076】強誘電体キャパシタ17の形成が済んだ第1層間絶縁膜15上に、次に、特開平10-74751に開示の有機絶縁膜材料の塗布液を塗布し、そしてこの試料を180℃次いで400℃の温度でベーキングする。これにより、有機絶縁膜からなる第2層間絶縁膜19が得られる。なお、ここで用いる有機絶縁材料は、これに限られないが、特開平10-74751の第1実施例に開示の材料である。詳細には、2, 2'-ビナフトールとパーフロロビフェニルの共重合体である。

【0077】次に、この第2層間絶縁膜19にスルーホールを形成するために、この第2層間絶縁膜19上に、エッチングマスク材としてシリコン酸化膜を、酸素とTEOSとを用いたCVDにより形成する。次に、このシリコン酸化膜を、フォトリソグラフィおよびドライエッチングによりパターニングして、スルーホール形成用のエッチングマスクを得る。次に、酸素を用いた反応性イオンエッチングにより、第2層間絶縁膜19のエッチングマスクで覆われていない部分をエッチングして、第2層間絶縁膜19にスルーホールを形成する。次に、このスルーホール内に、TiNおよびアルミニウム合金をスパッタリングにより埋め込み、また、第2層間絶縁膜19上にプレート線などを形成するためにアルミニウム合金膜を形成する。そして、このアルミニウム合金膜をフォトリソグラフィおよびドライエッチングにより加工して第2層間絶縁膜上の配線部を形成する。

【0078】次に、酸素とTEOSとを用いたCVDに

より第3層間絶縁膜21を形成する。そして、公知の方法でこの第3層間絶縁膜にスルーホールを形成し、さらに、このスルーホール内に配線を埋め込み、さらに、第3層間絶縁膜21上にビット線29を形成する。

【0079】(特性評価) この第1の実施例の半導体装置60に対して次の様な電氣的な評価を行う。先ず第1の評価として、第1の実施例の半導体装置60の強誘電体キャパシタ17の上部電極17bおよび下部電極17c間に印加する電圧を種々に変えて、印加電圧に対する強誘電体キャパシタの分極値のヒステリシス曲線を求める。そして、このヒステリシス曲線から得られる2Pr(残留分極量の2倍)の値を求める。2Prは15μC/cm²であった。この値は、第1の実施例の半導体装置60を製造している途中の、強誘電体キャパシタ17形成後のアニール処理後に予め測定しておいた2Prの値16μC/cm²とほぼ同じであった。

【0080】このことから、有機絶縁膜からなる第2層間絶縁膜19が、強誘電体キャパシタに対する製造プロセスのダメージを低減しているといえる。

【0081】また、第2の評価として、強誘電体キャパシタ17の上部電極17bおよび下部電極17c間に印加する電圧を種々に変えて、印加電圧に対するリーク電流を求める。この結果、この第1の実施例の半導体装置60は、上部電極17bおよび下部電極17c間に印加する電圧が5Vにおいてもリーク電流は10⁻⁷A/cm²オーダーであることが分かった。すなわち、第1の実施例の半導体装置60の場合、有機絶縁膜からなる第2層間絶縁膜に対してアニール処理等の特別な処理をせずとも、少なくとも5Vの耐圧が得られることが分かる。文献Iに開示された従来技術では、O₃-TEOS膜を成膜した後にポストアニールをしないと耐圧は2Vしか得られなかったことと比べると、この発明の優位性が理解できる。

【0082】2. 第2の実施例

第2の実施例として、図1を用いて説明した半導体装置の第2層間絶縁膜19を、気相成長法により形成した有機絶縁膜で構成した例を、説明する。

【0083】図7は、第2の実施例の半導体装置70の1つのメモリセルに着目した断面図である。

【0084】第2の実施例の半導体装置70は、第2層間絶縁膜19を気相成長法で形成した有機絶縁膜で構成したこと以外は、第1の実施例と同様である。従って、以下の説明では、第1の実施例と相違する点について主に説明する。

【0085】強誘電体キャパシタ17を形成するまでは、第1の実施例と同様な工程を実施する。また、強誘電体キャパシタ形成後のアニール処理を終えた後の2Prの値測定も、第1の実施例と同様に行う。

【0086】強誘電体キャパシタ17までの形成が済んだら、この試料の、第1の層間絶縁膜15上に、フッ素

系ガスとしての C_4F_8 を原料ガスとするCVDにより、有機絶縁膜としてのアモルファステフロン膜(a-C:F)を、厚さ700nm程度に形成する。なお、この成膜時の基板温度を250~350℃とする。

【0087】第2層間絶縁膜としてのa-C:F膜の形成が済んだら、第1の実施例で説明した様に、スルーホールの形成、配線金属の形成、第3層間絶縁膜の形成等を順次行う。

【0088】次に、この第2の実施例の半導体装置70に対して、第1の実施例と同様に電気的な評価を行う。この第2の実施例の半導体装置70の場合、ビット線29を形成した後に測定した2Prは14.5 $\mu C/cm^2$ であった。この値は、第2の実施例の半導体装置70を製造している途中の、強誘電体キャパシタ17形成後のアニール処理後に予め測定しておいた2Prの値16 $\mu C/cm^2$ とほぼ同じであった。

【0089】また、この第2の実施例の半導体装置70の、強誘電体キャパシタ17に印加する電圧に対するリーク電流特性を求めたところ、印加する電圧が5Vにおいてもリーク電流は10⁻⁷A/cm²オーダーであることが分かった。すなわち、第2の実施例の半導体装置70の場合も、有機絶縁膜からなる第2層間絶縁膜に対してアニール処理等の特別な処理をせずとも、少なくとも5Vの耐圧が得られることが分かる。文献Iに開示された従来技術では、O₃-TEOS膜を成膜した後にポストアニールをしないと耐圧は2Vしか得られなかったことと比べると、この発明の優位さが理解できる。

【0090】3. 第3の実施例

強誘電体キャパシタは、外的応力によっても特性が変化することが知られている。例えば、文献II(Tech. Report of IEICE, SDM97-74, p. 41)には、3.5×10⁹ dyn/cm²の圧縮応力を有するECR-CVDによるシリコン酸化膜を、Pt/PZT/Ptという構成の強誘電体キャパシタ上に形成すると、該キャパシタの残留分極量(2Pr)が減少する点が記載されている。これに対して、この発明は、応力に起因する強誘電体キャパシタの特性劣化の防止にも有効である。この第3の実施例はその例である。

【0091】図8は、第3の実施例の半導体装置80の1つのメモリセルに着目した断面図である。

【0092】第3の実施例の半導体装置80は、第2層間絶縁膜19および第3層間絶縁膜21双方を有機絶縁膜で構成したこと以外は、第1の実施例と同様である。従って、以下の説明では、第1の実施例と相違する点について主に説明する。

【0093】第3の層間絶縁膜21を形成する前の工程までは、第1の実施例と同様な工程を実施する。そして、第3の層間絶縁膜21を、有機絶縁膜で構成する。

【0094】この有機絶縁膜からなる第3の層間絶縁膜21の形成は、第1の実施例で第2の層間絶縁膜19を

形成したと同様な方法で行う。すなわち、この出願の出願に係る特開平10-74751号公報に開示の有機絶縁膜材料の塗布液を、第2の層間絶縁膜19上に塗布し、さらに、これを加熱処理して第3の層間絶縁膜21を形成する。

【0095】特開平10-74751号公報に開示の有機絶縁膜材料を用いて形成する有機絶縁膜の応力は引張り応力であり、然も、5×10⁸ dyn/cm²以下というように、文献IIに開示のCVDシリコン酸化膜と比べて1桁小さい。

【0096】第3層間絶縁膜21を形成した後は、第1の実施例と同様にスルーホール形成、配線金属形成、ビット線形成を行う。

【0097】そして、この第3の実施例の半導体装置80に対して、第1の実施例と同様に電気的な評価を行う。この第3の実施例の半導体装置80の場合、ビット線29を形成した後に測定した2Prは16 $\mu C/cm^2$ であった。この値は、第3の実施例の半導体装置80を製造している途中の、強誘電体キャパシタ17形成後のアニール処理後に予め測定しておいた2Prの値16 $\mu C/cm^2$ と同じであった。この発明の優位さが理解できる。

【0098】また、この第3の実施例の半導体装置80の、強誘電体キャパシタ17に印加する電圧に対するリーク電流特性を求めたところ、印加する電圧が5Vにおいてもリーク電流は10⁻⁷A/cm²オーダーであることが分かった。すなわち、第3の実施例の半導体装置80の場合も、有機絶縁膜からなる第2、第3層間絶縁膜に対してアニール処理等の特別な処理をせずとも、少なくとも5Vの耐圧が得られることが分かる。文献Iに開示された従来技術では、O₃-TEOS膜を成膜した後にポストアニールをしないと耐圧は2Vしか得られなかったことと比べると、この発明の優位さが理解できる。

【0099】なお、この第3の実施例では、第2および第3層間絶縁膜それぞれを有機絶縁膜で構成することで、外部応力に起因する強誘電体キャパシタ17の特性変動を抑制できる旨を説明した。しかし、1層の層間絶縁膜を有機絶縁膜で構成した場合、すなわち、この例の場合では第2層間絶縁膜および第3層間絶縁膜のいずれか一方、特に第2層間絶縁膜のみを、有機絶縁膜で構成した場合も、応力対策の効果はある程度得られる。

【0100】また、この第3の実施例では、第2および第3層間絶縁膜をいずれも塗布法により形成した有機絶縁膜で構成する例を説明したが、その代わりに、気相成長法で形成した有機絶縁膜を用いても同様な効果が期待できる。

【0101】4. 第4の実施例

強誘電体キャパシタは、半導体装置に具わるパッシベーション膜の材質によっても特性が劣化する。一般的な半導体装置(強誘電体キャパシタを用いていない半導体装

置)でパッシベーション膜として多用されるシリコン窒化膜でも、強誘電体キャパシタの特性劣化を来す。その理由は、シリコン窒化膜が、一般に、シランとアンモニアとを原料ガスとするプラズマCVDにより形成されるので、この膜の内部に拡散した水素によって強誘電体膜が還元されるためといわれている。

【0102】これを回避するために、例えば文献III (IEDM proceeding, 97-613)には、パッシベーション膜として、プラズマエンハンスド (PE) -TEOS膜を用いる点が開示されている。

【0103】しかし、このPE-TEOS膜は、あくまでシリコン酸化膜であるため、耐湿性はシリコン窒化膜に比べて劣るから、パッシベーション膜として、満足のゆくものではない。

【0104】そこで、この第4の実施例では、少なくともパッシベーション膜を、有機絶縁膜で構成する。

【0105】図9は、この第4の実施例の半導体装置90の1つのメモリセルに着目した断面図である。

【0106】第4の実施例の半導体装置90は、強誘電体キャパシタ17を具えた半導体装置において、少なくともパッシベーション膜91を、有機絶縁膜で構成する。それ以外の点は、任意の構成とできる。ただし、この第4の実施例では、第2層間絶縁膜19および第3の層間絶縁膜21それぞれも、有機絶縁膜で構成してある。

【0107】これら第2層間絶縁膜19、第3層間絶縁膜21およびパッシベーション膜91それぞれの形成方法は、特に限定されず、第1の実施例で説明した塗布法、または、第2の実施例で説明した気相成長法いずれでも良い。

【0108】一方、この第4の実施例に対する第1の比較例として、第2層間絶縁19および第3層間絶縁膜21それぞれを、この第4の実施例と同様に有機絶縁膜で構成し、パッシベーション膜をシリコン窒化膜で構成した半導体装置を用意する。

【0109】さらに、第2の比較例として、第2層間絶縁19および第3層間絶縁膜21それぞれを、この第4の実施例と同様に有機絶縁膜で構成し、パッシベーション膜をプラズマCVD法によるシリコン酸化膜で構成した半導体装置を用意する。

【0110】次に、第4の実施例、第1の比較例および第2の比較例の半導体装置に対して、第1の実施例で説明した電気的な評価をそれぞれ行う。その結果、第4の実施例の2Prは、 $16\mu\text{C}/\text{cm}^2$ であり、また、耐圧は少なくとも5Vはあることが分かった。第1の比較例の2Prは $9\mu\text{C}/\text{cm}^2$ であり、また、耐圧は2V程度でしかなかった。第2の比較例の2Prは $14\mu\text{C}/\text{cm}^2$ であり、また、耐圧は印加電圧が5Vの時のリーク電流で表して $8.5\times 10^{-6}\text{A}/\text{cm}^2$ であり、第4実施例に比べて1桁リーク電流が多いことが分かつ

た。

【0111】次に、第4の実施例および第2の比較例の2種類の半導体装置を、100%相対湿度で、2気圧で、かつ、80℃の雰囲気中に24時間放置する。その後、これら半導体装置に対して、第1の実施例で説明した電気的な評価を行う。その結果、第4の実施例の2Prは、 $16\mu\text{C}/\text{cm}^2$ であり、印加電圧5Vの時のリーク電流は $2\times 10^{-7}\text{A}/\text{cm}^2$ であり、いずれも、耐湿試験前の値と遜色が無いことが分かった。第2の比較例の2Prは、 $10\mu\text{C}/\text{cm}^2$ であり、印加電圧5Vの時のリーク電流は $2.5\times 10^{-3}\text{A}/\text{cm}^2$ であり、耐湿試験で特性が著しく悪化することが分かった。

【0112】従って、強誘電体キャパシタを記憶用キャパシタとして用いたメモリセルを具えた半導体装置のパッシベーション膜を、有機絶縁膜で構成することの利点が、理解できる。

【0113】5. 他の形態の説明

この発明の思想を半導体装置の封止材に適用しても良い。図10はその説明図である。半導体装置は、一般に、回路が形成された半導体チップ101を封止材103で封止した構造となっている。

【0114】封止材103 (封止用樹脂)としては、通常、エポキシノボラックまたはシリコンエポキシ共重合体が用いられる。前者での吸水過程は、樹脂中に水素結合を形成しつつ吸水が進行するといわれている。後者の吸水過程は、膜中の充填材である SiO_2 による吸水といわれている。

【0115】封止材103が水分を含むと、その水分が、半導体チップ101内の強誘電体キャパシタに及んで、該キャパシタの特性を劣化させる恐れがある。

【0116】そこで、封止剤103を、有機絶縁膜で構成する。例えば、この出願の出願人に係る特開平10-74751に開示の有機絶縁膜材料である芳香族ポリエーテル (詳細には芳香族ポリアリールエーテル) や、芳香族ポリエーテルの一種であるFLARE (アライドシグナル社製) や、或いは、フッ化ポリイミド等は、撥水性が高いため、半導体装置の封止剤103として用いることができる。そして、こうすれば、封止材103に起因する強誘電体キャパシタの特性劣化を従来より軽減することができる。

【0117】上述においては、この出願の各発明の実施の形態および実施例について説明した。しかし、これらの発明は上述の実施の形態および実施例に何ら限定されるものではなく、多くの変形又は変更を行うことができる。

【0118】例えば、上述においては、各発明を適用する半導体装置として図1に示した構造の半導体装置を例示した。しかし、この出願の各発明は、図1の構造のものに限られず、強誘電体キャパシタを記憶用キャパシタとして用いたメモリセルを具える半導体装置に広く適用

できる。例えば、強誘電体キャパシタ上に形成される層間絶縁膜の層数が3以上の場合や、強誘電体キャパシタが第1層間絶縁膜上ではなく他の層間絶縁膜上に形成されている場合にもこの出願の各発明を適用できる。

【0119】

【発明の効果】上述した説明から明らかなように、この出願の半導体装置によれば、強誘電体キャパシタを記憶用キャパシタとして用いたメモリセルを具える半導体装置において、前記キャパシタを保護している絶縁膜を、有機絶縁膜で構成してある。

【0120】有機絶縁膜は、強誘電体キャパシタの保護膜として従来から多用されているプラズマCVD法により形成されるシリコン酸化膜（典型的にはシリコン酸化膜からなる層間絶縁膜）と比べると、吸水率が低い、透湿性が低い、応力が小さい等の物性を持つので、強誘電体キャパシタを従来に比べより保護する。

【0121】従って、強誘電体キャパシタを形成した後のプロセスや製品化後の状況に応じて該キャパシタの特性が変動することを、従来より防止することができる。

【0122】また、この出願の半導体装置の製造方法によれば、強誘電体キャパシタを記憶用キャパシタとして用いたメモリセルを具える半導体装置を製造するに当たり、前記強誘電体キャパシタを形成した後、該キャパシタを有機絶縁膜から成る保護膜で覆い、その後、予定の工程を実施することを特徴とする。具体的には、強誘電体キャパシタを記憶用キャパシタとして用いたメモリセルと、前述のキャパシタを含む面上に形成された1層以上の層間絶縁膜とを具える半導体装置を製造するに当たり、前述の強誘電体キャパシタを形成した後、該キャパシタに直接接する層間絶縁膜として有機絶縁膜から成る層を形成して該層で該キャパシタを覆う。そして、その後、予定の工程を実施する。

【0123】この製造方法の発明によれば、強誘電体キャパシタはそれを形成後、先ず、有機絶縁膜によって覆われる。この有機絶縁膜は、強誘電体キャパシタの保護膜として従来から多用されているプラズマCVD法により形成されるシリコン酸化膜と比べると、吸水率が低い、透湿性が低い、応力が小さい等の物性を持つ。そのため、強誘電体キャパシタは、保護膜としてより好ましい膜で覆われた状態で、その後の製造工程に投入される。そのため、強誘電体キャパシタへの、該キャパシタ形成後の製造プロセスに起因するダメージを、軽減できる。

【図面の簡単な説明】

【図1】実施の形態の半導体装置を説明する図である。

【図2】実施の形態の半導体装置の製造方法を説明する図である。

【図3】実施の形態の説明図であり、製造方法を説明する図である。

【図4】実施の形態の説明図であり、製造方法を説明する図である。

【図5】実施の形態の説明図であり、製造方法を説明する図である。

【図6】第1の実施例を説明する図である。

【図7】第2の実施例を説明する図である。

【図8】第3の実施例を説明する図である。

【図9】第4の実施例を説明する図である。

【図10】他の形態の説明図である。

【符号の説明】

10：実施の形態の半導体装置

11：MOSトランジスタ

11s：ソース

11d：ドレイン

13：半導体基板

13a：素子間分離用絶縁膜

15：第1層間絶縁膜

17：強誘電体キャパシタ

17a：強誘電体膜

17b：上部電極

17c：下部電極

19：第2層間絶縁膜

21：第3層間絶縁膜

23、27、31：金属配線

25：プレート線

29：ビット線

41：絶縁膜（拡散防止用絶縁膜）

43：ライナー層

51：エッチングマスク

53：スルーホール

60：第1の実施例の半導体装置

70：第2の実施例の半導体装置

80：第3の実施例の半導体装置

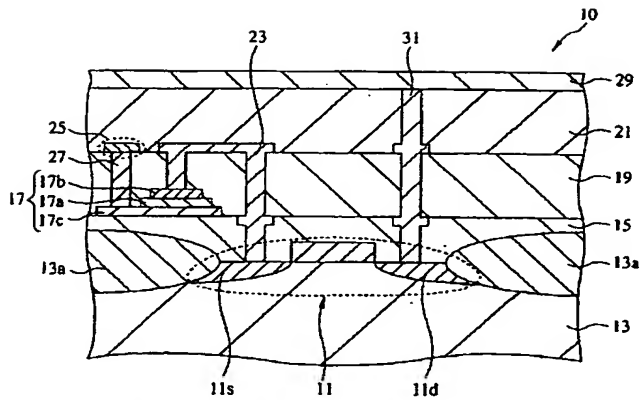
90：第4の実施例の半導体装置

91：パッシベーション膜

101：半導体チップ

103：封止材

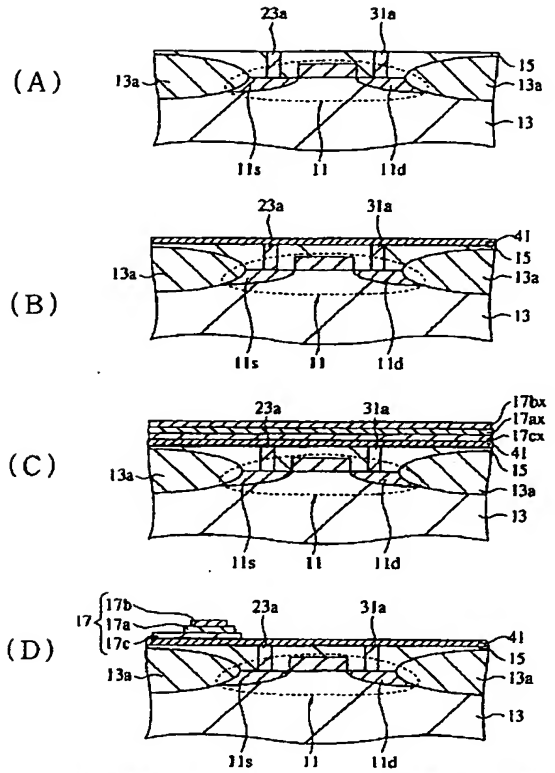
【図1】



- 10 : 実施の形態の半導体装置 11 : MOSトランジスタ
 11d : ドレイン 11s : ソース
 13 : 半導体基板 13a : 素子間分離用絶縁膜
 15 : 第1層間絶縁膜 17 : 強誘電体キャパシタ
 17a : 強誘電体膜 17b : 上部電極
 17c : 下部電極 19 : 第2層間絶縁膜 (保護膜)
 21 : 第3層間絶縁膜 23, 27, 31 : 金属配線
 25 : プレート線 29 : ビット線

実施の形態を説明する図

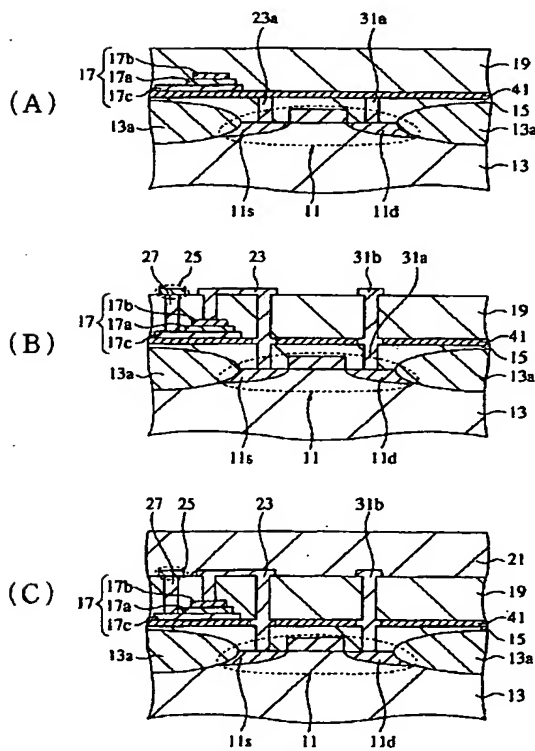
【図2】



- 17ax : 強誘電体膜 17bx : 上部電極形成用金属膜
 17cx : 下部電極形成用金属膜 23a, 31a : 金属配線の一部
 41 : 絶縁膜

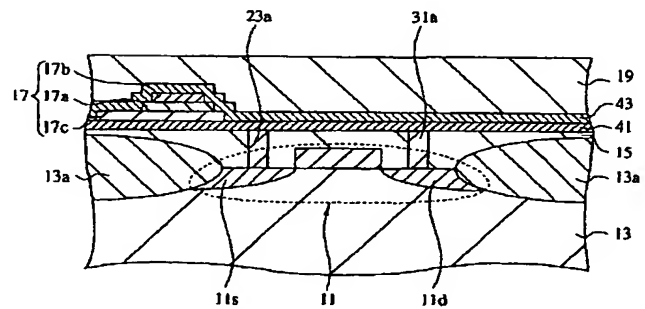
実施の形態を説明する図

【図3】



実施の形態を説明する図

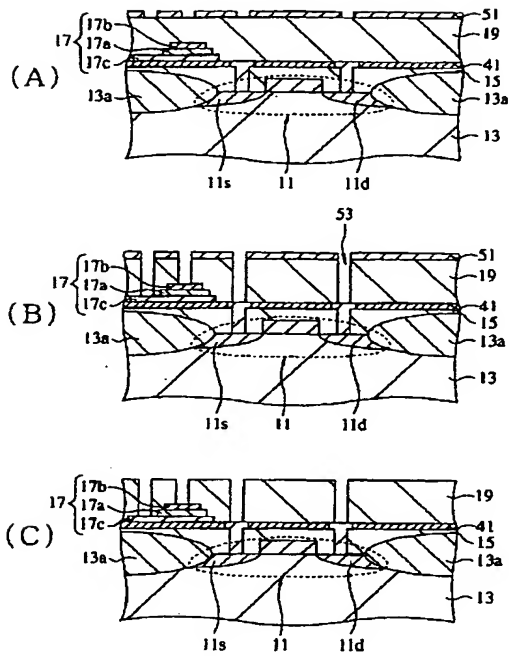
【図4】



- 43 : ライナー層

実施の形態を説明する図

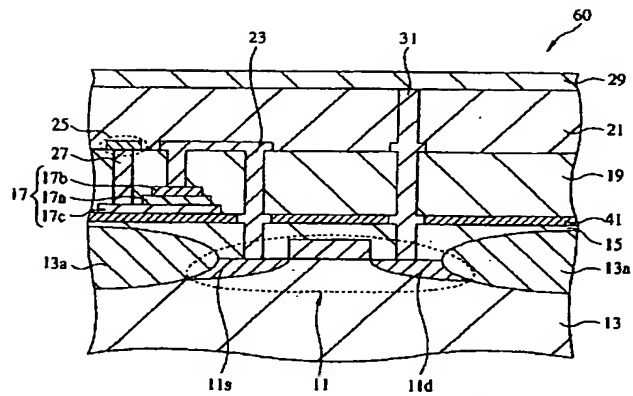
【図 5】



51: エッチングマスク 53: スルーホール

実施の形態を説明する図

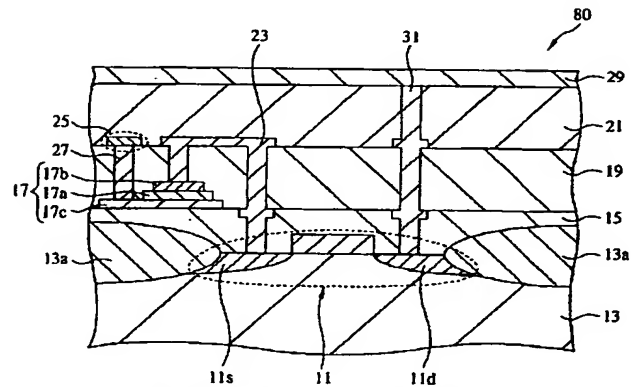
【図 6】



19: 第2層間絶縁膜 (塗布法で形成した有機絶縁膜)
60: 第1の実施例の半導体装置

第1の実施例を説明する図

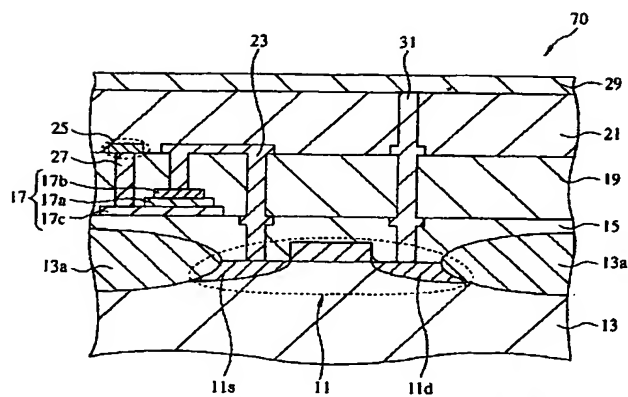
【図 8】



19: 第2層間絶縁膜 (塗布法により形成した有機絶縁膜)
21: 第3層間絶縁膜 (塗布法により形成した有機絶縁膜)
80: 第3の実施例の半導体装置

第3の実施例の説明図

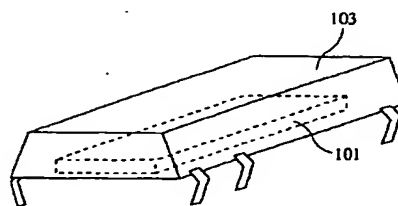
【図 7】



19: 第2層間絶縁膜 (気相成長法により形成した有機絶縁膜)
70: 第2の実施例の半導体装置

第2の実施例の説明図

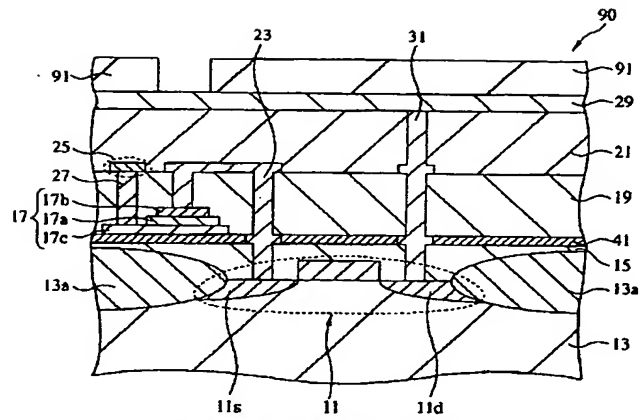
【図 10】



101: 半導体チップ 103: 封止材

他の形態の説明図

【図9】



90：第4の実施例の半導体装置
 91：パッシベーション膜（有機絶縁膜）

第4の実施例を説明する図